**THE UNIVERSITY OF DANANG**

**UNIVERSITY OF SCIENCE AND TECHNOLOGY**

**Faculty of Advanced Science and Technology**



**LABORATORY REPORT**

**INTRODUCTION TO VERY LARGE SCALE INTERGRATION IC DESIGN**

**Instructor :** Nguyen Van Cuong

**Class :** 21ECE

**Student :** Tran Hoang Minh

*Da Nang, September 3rd 2024*

Index

[I. Overview of Microwind and DSCH: 3](#_Toc181543409)

[II. Technical design 4](#_Toc181543410)

[1. Requirement Specification: 4](#_Toc181543411)

[III. Logic design 5](#_Toc181543412)

[1. Top-level Interfaces: 7](#_Toc181543413)

[2. Verilog: 7](#_Toc181543414)

[IV. Circuit design 8](#_Toc181543415)

[1. Schematic 8](#_Toc181543416)

[2. Waveform 9](#_Toc181543417)

[V. Physical design 10](#_Toc181543418)

[1. Design Reference Invertor 10](#_Toc181543419)

[2. Layout 14](#_Toc181543420)

[VI. Result 16](#_Toc181543421)

[VII. Reference 17](#_Toc181543422)

# Overview of Microwind and DSCH:

Microwind is a tool for designing and simulating circuits at layout level. The tool features full editing facilities (copy, cut, past, duplicate, move), various views (MOS characteristics, 2D cross section, 3D process viewer), and an analog simulator.

DSCH is software for logic design. Based on primitives, a hierarchical circuit can be built and simulated. It also includes delay and power consumption evaluation.

Silicon is for 3D display of the atomic structure of silicon, with emphasis on the silicon lattice, the dopants, and the silicon dioxide.

The Microwind software works is based on a lambda grid, not on a micro grid. Consequently, the same layout may be simulated in any CMOS technology. The value of lambda is half the minimum polysilicon gate length. Table A-xxx gives the correspondence between lambda and micron for all CMOS technologies available in the companion CD-ROM.

Ảnh có chứa văn bản, ảnh chụp màn hình, số, biên lai

Mô tả được tạo tự động

# Technical design

Ảnh có chứa văn bản, ảnh chụp màn hình, Phông chữ, số

Mô tả được tạo tự động

## Requirement Specification:

|  |  |
| --- | --- |
| Name | 4-input XOR gate |
| Process | 0.25-micron |
| Supply voltage | 2.5V |
| Propagation delay | < 0.5 ns |
| Area | < 500 square microns |
| External load | 20 fF |

# Logic design

The XOR (Exclusive OR) gate is a digital logic gate that outputs true or high only when the two binary bit inputs to it are unequal. In other words, it outputs a 1 when the number of 1’s inputs is odd, making it essential for arithmetic functions in computers and other digital systems.

The 6-transistor XOR gate design is a very compact solution for implementing the XOR function. The  
schematic diagram is shown in Figure 1. The main drawback is the use of pass transistors which may create non-ideal logic levels due to threshold voltage degradation. In short, n-channel transistors cannot transfer the level 1 correctly, the p-channel transistors cannot transfer the level 0 correctly. Other values are correctly executed. Using DSCH, the observed simulation is always correct, as DSCH do not take into account “weak-1” and “weak-0” levels

Ảnh có chứa biểu đồ, văn bản, Bản vẽ kỹ thuật, Kế hoạch

Mô tả được tạo tự động

The compilation of the XOR gate using Microwind leads to a compact layout, but the non-ideal internal  
levels do not induce a correct inverter simulation, which creates important negative effects:  
• Very large delays  
• Important static consumption

Ảnh có chứa văn bản, số, Song song

Mô tả được tạo tự động

Ảnh có chứa Phông chữ, biểu đồ, màu trắng, Đồ họa

Mô tả được tạo tự động

OUT = A ⊕ B ⊕ C ⊕ D = (A ⊕ B) ⊕ (C ⊕ D)

## Top-level Interfaces:

|  |  |
| --- | --- |
| Inputs | Outputs |
| A | output |
| B |  |
| C |  |
| D |  |
|  |  |

## Verilog:

// DSCH3

// 10/20/2024 4:17:22 PM

// D:\download\VLSI1\DSCH1\DSCH\examples\xor4\_lan3.sch

module xor4( B,A,C,D,output);

input B,A,C,D;

output output;

wire w5,w6,;

xor #(16) xor2\_1(w5,C,D);

xor #(16) xor2\_2(output,w6,w5);

xor #(16) xor2\_3(w6,A,B);

endmodule

// Simulation parameters in Verilog Format

always

#2000 B=~B;

#1000 A=~A;

#4000 C=~C;

#8000 D=~D;

// Simulation parameters

// B CLK 20.000 20.000

// A CLK 10.00 10.00

// C CLK 40.000 40.000

// D CLK 80.000 80.000

# Circuit design

## Schematic

**Ảnh có chứa biểu đồ, bản phác thảo, Bản vẽ kỹ thuật, Kế hoạch

Mô tả được tạo tự động**

**Ảnh có chứa biểu đồ, Bản vẽ kỹ thuật, Kế hoạch, bản phác thảo

Mô tả được tạo tự động**

## Waveform

Ảnh có chứa văn bản, ảnh chụp màn hình, biểu đồ, hàng

Mô tả được tạo tự động

# Physical design

## Design Reference Invertor

**Ảnh có chứa văn bản, ảnh chụp màn hình, Phông chữ, số

Mô tả được tạo tự động**

**Ảnh có chứa văn bản, Phông chữ, ảnh chụp màn hình, hàng

Mô tả được tạo tự động**

So we have

Ảnh có chứa văn bản, ảnh chụp màn hình, Phông chữ, số

Mô tả được tạo tự động

Ảnh có chứa văn bản, số, Phông chữ, ảnh chụp màn hình

Mô tả được tạo tự động

We have

From the requirement with external load is equal 20 fF, so

Ảnh có chứa văn bản, ảnh chụp màn hình, Phông chữ, số

Mô tả được tạo tự động

And with he generic 0.25 um CMOS process, we have the for NMOS and PMOS at VDD=2.5 V is:

And with the requirement for propagation delay is < 0.5.

*And we have or =3*

*=>< 17.277 and < 5.750 and =3*

*Choose =2.500 and =0.750*

So, Cint of of reference invertor is:

Design the 4input XOR gate :

A group of arrows with black dots

Description automatically generated

The method of Logical Effort is applied with the following steps:

1. F = CL/Cint = 24/4 = 6

2. G = 4 × 4 = 16

3. B = 1

4. H = GBF = 96, so the optimal stage effort is f^ =sqrt(H) = 9.79

y = 9.79\* 9.79/ 4 \* 4 = 9.79

x = 9.79/2/4 \* 4 = 4.89

5. So the gate sizes are

, ,

,

A diagram of arrows and points

Description automatically generated

The XOR2 gate delay is d1 = g1h1 + p1 = 4/2 × 1 + 4 = 6

d2 = g2h2 + p2 = 4 × 1 + 4 = 8

Hence, the path delay is 14. Recall that delay is expressed in units of . In a 0.25-micron process with = 61ps, the delay is 854ps

## Layout

Ảnh có chứa văn bản, ảnh chụp màn hình, Phông chữ, số

Mô tả được tạo tự động

Ảnh có chứa văn bản, ảnh chụp màn hình, Phông chữ, số

Mô tả được tạo tự động

Ảnh có chứa ảnh chụp màn hình, Nhiều màu sắc, Phần mềm đa phương tiện, phần mềm

Mô tả được tạo tự động

Ảnh có chứa văn bản, biểu đồ, hàng, số

Mô tả được tạo tự động

# Result

**Functionality:** the waveform observed demonstrates that physical design is functioning correctly as 4-input xor gate.

**Speed**: Confirm that the propagation delay meets the 0.5 ns specification.

Ảnh có chứa văn bản, ảnh chụp màn hình, Sơ đồ, hàng

Mô tả được tạo tự động

**Area**: Validate that the area is within acceptable limits (24.8 x 13.3 = 330 square microns)

Ảnh có chứa văn bản, ảnh chụp màn hình, màn hình, Phông chữ

Mô tả được tạo tự động

# Reference

[Microsoft Word - Book appendixA e.doc](https://pages.jh.edu/aandreo1/216/Archives/2010/Handouts/appendixa.pdf)

[jntuh vlsi lab - Research is Fun](https://research1.fun/tag/jntuh-vlsi-lab/)

[Microsoft PowerPoint - MohantyVLSI5Microwind](https://smohanty.org/Teaching/2008Fall_VLSI/MohantyVLSI5Microwind.pdf)

<https://www.bing.com/ck/a?!&&p=6feccc956365be4c68b9e00ccda95e9aa40e17470bb1d078f7df26e572b0200eJmltdHM9MTczMDUwNTYwMA&ptn=3&ver=2&hsh=4&fclid=3bdf4c52-f7fb-6750-3bff-4348f69d6642&psq=xor+in+microwind&u=a1aHR0cHM6Ly9taWNyb3dpbmQubmV0L2Rvd25sb2FkLzE3&ntb=1>